

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 4 月 14 日 (14.04.2005)

PCT

(10) 国際公開番号
WO 2005/033939 A1

(51) 国際特許分類:
H03K 19/173, G06F 9/40, 9/38

G06F 9/54,

(71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 Osaka (JP).

(21) 国際出願番号: PCT/JP2004/009811

(22) 国際出願日: 2004 年 7 月 9 日 (09.07.2004)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 平松 達夫 (HIRA-MATSU, Tatsuo) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 中島 洋 (NAKAJIMA, Hiroshi) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 岡田 誠 (OKADA, Makoto) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 小曾根 真 (OZONE, Makoto) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP).

(25) 国際出願の言語: 日本語

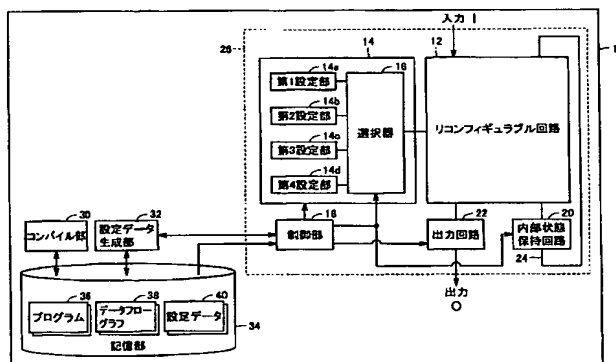
(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-339030 2003 年 9 月 30 日 (30.09.2003) JP
特願 2003-362216
2003 年 10 月 22 日 (22.10.2003) JP

[続葉有]

(54) Title: PROCESSOR AND INTEGRATED CIRCUIT COMPRISING RECONFIGURABLE CIRCUIT, AND PROCESSING METHOD UTILIZING IT

(54) 発明の名称: リンコンフィギュラブル回路を備えた処理装置、集積回路装置およびそれらを利用した処理方法



I... INPUT
O... OUTPUT
12... RECONFIGURABLE CIRCUIT
14a... FIRST SETTING SECTION
14b... SECOND SETTING SECTION
14c... THIRD SETTING SECTION
14d... FOURTH SETTING SECTION
18... SELECTOR
10... CONTROL SECTION
20... INTERNAL STATE HOLDING CIRCUIT
22... OUTPUT CIRCUIT
30... COMPILING SECTION
32... SET DATA GENERATING SECTION
34... STORAGE SECTION
36... PROGRAM
38... DATA FLOW GRAPH
40... SET DATA

(57) Abstract: A processor (10) configures a plurality of split circuits, formed by splitting one circuit, sequentially on a reconfigurable circuit (12), executes processing in the split circuits by feeding an output from a split circuit back to the next split circuit and takes out the output from a split circuit configured last. A passage part (24) for connecting the output from the reconfigurable circuit (12) with the input thereof is formed as a feedback path. One circuit can be realized, as a whole, by configuring the split circuits sequentially.

(57) 要約: 本発明による処理装置 (10) は、1つの回路を分割した複数の分割回路をリコンフィギュラブル回路 (12) 上に順次構成し、ある分割回路の出力を次の分割回路の入力にフィードバックして分割回路における演算処理を実行し、最後に構成された分割回路から出力を取り出す。フィードバックパスとして、リコンフィギュラブル回路 (12) の出力をその入力に接続する経路部 (24) を形成する。

[続葉有]



(74) 代理人: 深見 久郎, 外(FUKAMI, Hisao et al.); 〒5300054 大阪府大阪市北区南森町2丁目1番29号 三井住友銀行南森町ビル 深見特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。